

FPGA

Filière





PROGRAMME DE LA FILIERE

Programme

OBJECTIFS

- Se familiariser au langage VHDL et à la programmation FPGA
- Mettre en pratique

METHODES ET MOYENS PEDAGOGIQUES

Méthodes pédagogiques. Pour l'ensemble des stagiaires, le cours intégrera les suivantes :

- Alternance d'exercices, cas pratiques, QCM et de notions théoriques
- Evaluations

Moyens pédagogiques

- AJC met à la disposition de chaque stagiaire un accès à notre plateforme à distance ainsi qu'éventuellement les logiciels utiles dans le cadre de chaque module
- Les supports de cours seront remis via notre la plate-forme de téléchargement Quest et/ou AJC Classroom

Informations concernant les classes virtuelles

- Pour les formations en classe virtuelle, avec @JC CLASSROOM, vous profiterez des mêmes possibilités et interactions avec votre formateur que lors d'une formation présentielle : votre formation se déroulera en connexion continue 7h/7.
- Vous pourrez échanger directement avec le formateur et l'équipe pédagogique à travers notre système de visioconférence, mais aussi grâce aux forums et chats présents dans @JC CLASSROOM.
- Votre formateur sera à même de vérifier l'avancement de votre travail et de vous évaluer à l'aide d'exercices et de cas pratiques. Cela lui permettra de vous apporter un suivi pédagogique et des conseils personnalisés pendant toute la durée de la formation.
- Notre équipe technique vous enverra les modalités de connexion (accès, identifiants, dates, heures et numéro de la hotline) par mail dès votre inscription.
- Si vous rencontrez un problème de connexion, vous pourrez joindre à tout moment (avant ou même pendant la formation) notre hotline assistance technique au 01 82 83 72 41 ou par mail (hotline@ajc-formation.fr)

PRE-REQUIS

- Des notions d'électroniques seraient un plus

PARTICIPANTS

- Consultants, Ingénieurs, Développeurs, ...

LIEU

Distanciel

CERTIFICATION / ATTESTATION

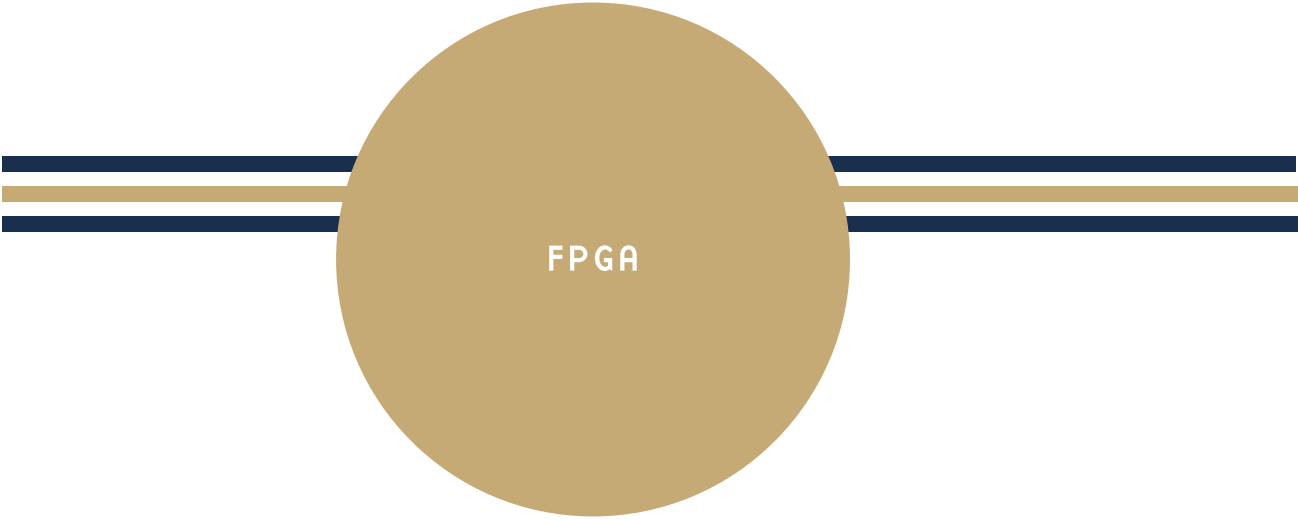
Attestation de formation

Programme - Contenu pédagogique

FPGA	COMPRENDRE ET UTILISER LES FPGA	5 jours
	VHDL, CONCEPTION POUR CIBLE FPGA	10 jours
PROJET	PROJET FINAL	20 jours



PROGRAMMES DÉTAILLÉS



FPGA



COMPRENDRE ET UTILISER LES FPGA

PROGRAMME DU MODULE

Conception et systèmes logiques

- Fonctions et systèmes logiques ; technologies et performances
- Analyses logique et temporelle des systèmes
- E/S rapides; intégrité du signal
- Environnements de développement de systèmes numériques

Composants programmables

- Présentation des architectures FPGA du marché : classification, complexité, performances
- Evolutions des besoins et des technologies
- Disponibilité et utilisation de blocs IP et de coeurs de processeurs "soft-cores"
- Coeurs de processeurs intégrés ("hard-cores"): PowerPC, ARM-Cortex
- Méthodologie de conception de FPGA; description VHDL et SystemC, développement conjoint matériel-logiciel
- Reconfiguration dynamique partielle de FPGA
- Simulation, modélisation; notion de plates-formes virtuelles

Mise en oeuvre

- Outils logiciels et matériels d'aide à la conception et à la programmation
- Études de cas et travaux pratiques : conception, saisie, vérification, simulations logique et temporelle, programmation et validation (analyse logique virtuelle)

Modélisation des machines à états finis FSM" dans la partie portant sur l'architecture des FPGA.

OBJECTIFS

- Avoir une vision claire du potentiel des composants FPGA pour la réalisation de systèmes électroniques
- Faire une partition entre les composants programmables et les autres moyens de réalisation (processeurs, composants "catalogue" et ASIC)



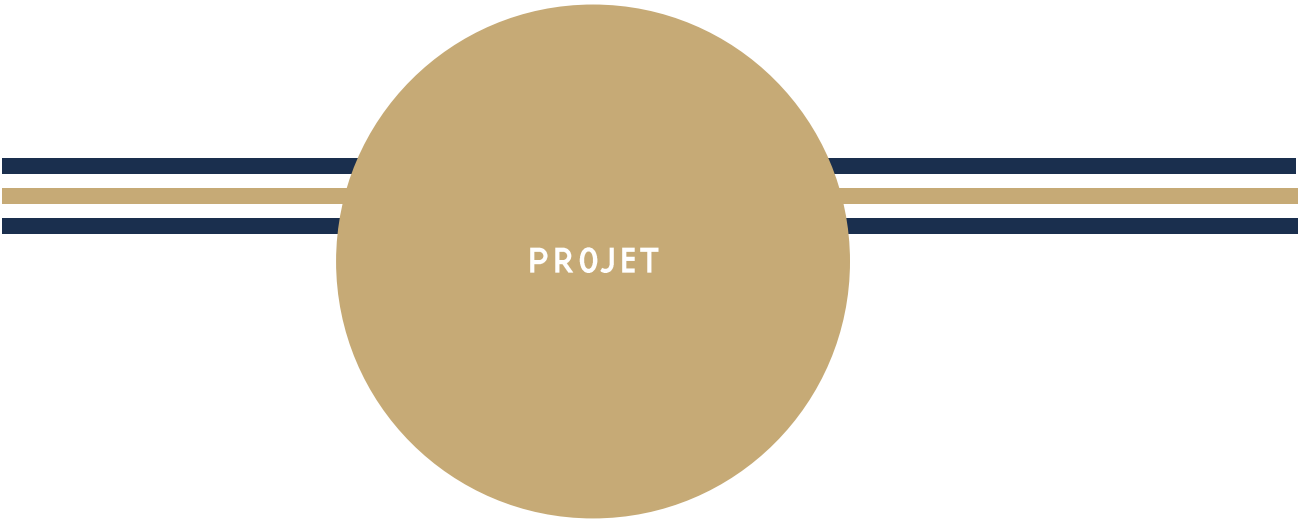
VHDL, CONCEPTION POUR CIBLE FPGA

PROGRAMME DU MODULE

- Qu'est-ce que le VHDL ?
- VHDL dans le flot de conception
- Hiérarchie et fonctionnalité
- Les bases du langage : *Travaux pratiques*
- Comment décrire le circuit ? : *Travaux pratiques*
- Comment tester son fonctionnement ? : *Travaux pratiques*
- Test sur carte dévaluation : *Travaux pratiques*
- Complément du langage

OBJECTIFS

- Appréhender le langage VHDL et ses multiples possibilités
- Connaître la syntaxe et les constructions essentielles utilisées pour le design FPGA
- Produire du code VHDL de qualité conforme aux contraintes liées à la synthèse de FPGA
- Simuler fonctionnellement un design en lui appliquant des stimuli via l'écriture d'un test bench simple





PROJET FINAL

PROGRAMME DU MODULE

Déroulement du module

- Les stagiaires travaillent en toute autonomie, en binôme. Ils sont libres d'effectuer les choix adaptés, de développer les parties dont ils jugent avoir le plus besoin et d'apporter leurs propres solutions aux problèmes posés.
- Le formateur encadre les stagiaires par sa présence et répond aux questions. Il intervient pour épauler un binôme en difficulté ou pour faire le point à l'ensemble du groupe sur des notions non acquises. Il peut être amené à approfondir ou compléter certaines connaissances.

Exemples de Uses Cases à choisir dans cette liste

Use case # 1

Prise en main des notions vues en cours VHDL ET FPGA

- Ouverture de session
- Lancement de Vivado
- Création du projet
- Création du design VHDL
- Création du testBench VHDL
- Simulation fonctionnelle
- Synthèse
- Implémentation Simulation de timing
- Configuration et test de la maquette

Use case # 2

Programmation d'un FSM en VHDL.

- Savoir manipuler les machines à états finis FSM.
- Exemples d'application

Use case # 3

- Savoir manipuler les architectures multiprocesseurs
- Exemples

Use case # 4

- Cahier des charges : développer une Unité Arithmétique et Logique qui va réaliser:
 - Des opérations arithmétiques (addition, soustraction, incrémentation, décrémentation),
 - Des opérations logiques (and, or, XOR et not),
 - Des décalages ou des rotations (à gauche et à droite)

Use case # 5

Détecteur de seuil avec filtrage

Use case # 6

Cahier des charges :

- Réaliser un compteur décimal allant de 0000 à 9999 qui utilise les 4 afficheurs7 segments de la maquette. Ces quatre afficheurs7 segments sont multiplexés. Un segment s'allume quand l'entrée correspondante (CA, ..., DP) est au niveau bas et quand la commande AN (pour anode) de l'afficheur est à 0 (le transistor de commande inverse l'état).
- Ecriture du modèle en VHDL TestBench
- Réalisation pratique
- Insertion d'un analyseur logique(ILA) Visualisation des chronogrammes

OBJECTIFS

- Mettre en application les acquis de la formation



PROJET FINAL (Suite)

PROGRAMME DU MODULE

Use case # 7

Synthèse logique et programmation de FPGA de Xilinx

- Implantation d'un filtre numérique FIR et test sur carte en environnement réel

Use case # 8

Systèmes logiques programmables

- Découvrir l'architecture des FPGA
- Découvrir la carte d'étude CORA Z7

Use case # 9

Développement d'un système numérique

- Développer des systèmes numériques programmables (multiplexeur, compteur...). Simuler ce système numérique (TB sous ModelSim)
- Structurer ce système en bloc fonctionnel (instanciation de composants) Simuler des systèmes numériques simples avec VIVADO ou ModelSim
- Réaliser un module d'affichage hexadécimal sur 4 afficheurs 7 segments fonctionnant en mode multiplexé

Use case # 10

VHDL Applications :

- Registre à décalage générique
- Compteur binaire générique
- Détecteur des crêtes

Use case # 11

Comprendre la notion du timing de son design

- Exemple

Use case # 12

Mise en œuvre d'un microcontrôleur simple

- Comprendre et réaliser l'architecture d'un microcontrôleur simple en VHDL.

Use case # 13

Planter une description VHDL dans le FPGA.

- Mise en œuvre d'instruments de mesure virtuels

Use case # 14

Prise en main de la carte CORA Z7 et de l'environnement de développement Zynq-7000 Xilinx

Use case # 15

Simulation comportementale avec Modelsim

Simulation post-synthèse SANS/AVEC annotations de timing

La simulation post-synthèse

Le placement et le routage Simulation post-placement routage

Use case # 16

Simulation FONCTIONNELLE avec QUESTASIM COMPARAISON MODELSIM ET QUESTASIM

OBJECTIFS

- Mettre en application les acquis de la formation

NOUS CONTACTER

AJC FORMATION
01 81 51 64 85
formonsnous@ajc-formation.fr
6 rue ROUGEMONT
75009 PARIS



www.ajc-formation.fr
www.ajc-classroom.fr

